



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): HONKAWA, YUKIO, *et al.*

Serial No.: 09/997,306

Filed: November 28, 2001

For:

SEMICONDUCTOR
LASER DEVICE AND
METHOD FOR
FABRICATING SAME

Group Art Unit: Unassigned

Examiner: Unassigned

Attorney Docket: 6635-60519 (7742-0023)

**CERTIFICATE OF
MAILING/TRANSMISSION
(37 C.F.R. § 1.8(a))**

I hereby certify that this correspondence is, on the date shown below, being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date

Kwezi Mjumbe

TRANSMITTAL LETTER OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Enclosed herewith are two certified copies of the priority document 2001-360940 and 2000-364387 for the above-identified application. Please make a record that these priority document numbers 2001-360940 and 2000-364387 are priority documents to the parent application, U.S. Serial No. 09/997,306 of this case.

April 9, 2002

COUDERT BROTHERS, LLP
600 Beach Street, 3RD Floor
San Francisco, CA 94109
Tel: (415) 409-2900
Telfax: (415) 409-7400

Respectfully submitted,

Hal R. Yeager
Registration No. 35,419



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年11月27日

出 願 番 号

Application Number:

特願2001-360940

出 願 人

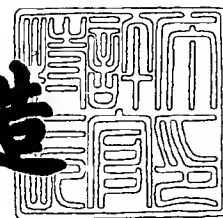
Applicant(s):

古河電気工業株式会社

2001年12月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3109835

【書類名】 特許願

【整理番号】 A10382

【提出日】 平成13年11月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 埋込型半導体レーザー素子の製造方法、及び埋込型半導体
レーザー素子

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 本川 幸翁

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 小野 卓宏

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 服部 聡

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 佐藤 義浩

【特許出願人】

 【識別番号】 000005290

 【氏名又は名称】 古河電気工業株式会社

 【代表者】 古河 潤之助

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【選任した代理人】

【識別番号】 100095326

【弁理士】

【氏名又は名称】 畑中 芳実

【先の出願に基づく優先権主張】

【出願番号】 特願2000-364387

【出願日】 平成12年11月30日

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305593

【包括委任状番号】 9302325

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 埋込型半導体レーザ素子の製造方法、及び埋込型半導体レーザ素子

【特許請求の範囲】

【請求項 1】 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記 p 型電流ブロック層を成膜する際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が 6 0 以上 3 5 0 以下の範囲であることを特徴とする埋込型半導体レーザ素子の製造方法。

【請求項 2】 前記モル比率が 6 0 以上 2 0 0 以下の範囲であることを特徴とする請求項 1 に記載の埋込型半導体レーザ素子の製造方法。

【請求項 3】 前記 p 型電流ブロック層を成膜する際の前記モル比率と異なるモル比率で前記 n 型電流ブロック層を成膜することを特徴とする請求項 1 又は 2 に記載の埋込型半導体レーザ素子の製造方法。

【請求項 4】 前記 n 型電流ブロック層形成の前記モル比率が、前記 p 型電流ブロック層形成の前記モル比率よりも大きいことを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の埋込型半導体レーザ素子の製造方法。

【請求項 5】 前記 p 型電流ブロック層を成膜する際の成長温度が、6 3 0 ℃以上 7 2 0 ℃以下であることを特徴とする請求項 1 から 4 のうちのいずれか 1 項に記載の埋込型半導体レーザ素子の製造方法。

【請求項 6】 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザ素子において、

無効電流経路幅 T_n が、 $0.15 \mu m < T_n < 0.6 \mu m$ であることを特徴と

する埋込型半導体レーザ素子。

【請求項 7】 無効電流経路幅 T_n が、 $0.25 \mu m < T_n < 0.35 \mu m$ であることを特徴とする請求項 6 に記載の埋込型半導体レーザ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、埋込型半導体レーザ素子の製造方法、特に埋め込み層形成の技術に関し、更に詳細には、レーザの発振効率が高く、電流－光出力特性の再現性の高い埋込型半導体レーザ素子の製造方法に関するものである。

【0002】

【従来技術】

半導体レーザ素子では、特に、しきい値電流密度が低いこと、及びレーザ発振効率が高いことが、望ましいレーザ特性として評価されている。そして、埋込型ヘテロ構造の歪量子井戸型半導体レーザ素子が、これらの特性に優れた半導体レーザ素子として注目されている。

【0003】

ここで、特開平 8 - 2 8 8 5 8 9 号を参照しつつ、図 5 を示して、 n 型半導体基板上に形成した従来の歪量子井戸型半導体レーザ素子の構造及びその製造方法を説明する。図 5 は従来の歪量子井戸型半導体レーザ素子の構成を示す断面図である。

歪量子型半導体レーザ素子 20 は、図 5 に示すように、 n 型 $GaAs$ 基板 1 上に、有機金属気相成長法（MOCVD 法）を用いて順次エピタキシャル成長させた、 n 型 $InGaP$ 下側クラッド層 2、活性層 3、及び p 型 $InGaP$ 上側クラッド層 4 の積層構造を備えている。

活性層 3 は、 $InGaAsP$ 層 5、 $GaAs$ 層 6、 $InGaAs$ 層 7、 $GaAs$ 層 8、及び $InGaAsP$ 層 9 の 5 層構造である。

【0004】

上側クラッド層 4、活性層 3、及び下側クラッド層 2 の上部は、メサ構造 11 に加工され、メサ構造 11 の両側面 12 及び下側クラッド層 2 の上面、つまりメ

サ構造11の裾部上面13は、順次、成膜された、p型InGaP電流ブロック層14、及びn型InGaP電流ブロック層15で埋め込まれている。

n型電流ブロック層15及びp型電流ブロック層14上、並びにメサ構造11の上側クラッド層4上には、第2のp型InGaP上側クラッド層16、及びp型コンタクト層17が形成されている。

また、p型コンタクト層17上にはp側電極用金属層18が、基板1の裏面にはn側電極用金属層19が、それぞれ、形成されている。

【0005】

次に、図6を参照して、上述した歪量子型半導体レーザ素子20の作製方法を説明する。図6(a)から(c)は、それぞれ、従来の製造方法に従って歪量子型半導体レーザ素子20を作製する際の工程毎の断面図である。

先ず、図6(a)に示すように、n型GaAs基板1上に、有機金属気相成長法(MOCVD法)を用いて、n型InGaP下側クラッド層2、活性層3、及びp型InGaP上側クラッド層4を、順次、積層して多層積層膜を形成する。尚、活性層3の形成では、InGaAsP層5、GaAs層6、InGaAs層7、GaAs層8、及びInGaAsP層9の5層構造を形成する。

次に、熱CVD法を用いて上側クラッド層4上にシリコン酸化膜からなるエッチングマスク10を形成する。

【0006】

次に、エッチングマスク10を使って、多層積層膜のうちの上側クラッド層4、活性層3、及び下側クラッド層2の上部をエッチング溶液でエッチングして、図6(b)に示すように、エッチングマスク10の下面にアンダーカットされた形状のメサ構造11を形成する。

次いで、図6(c)に示すように、メサ構造11の側面12及び裾部上面13上にわたって、MOCVD法を用いてp型InGaP電流ブロック層14、及びn型InGaP電流ブロック層15を順次成膜してメサ構造11を埋め込む。

【0007】

次に、フッ酸を用いてエッチングマスク10を除去した後、図5に示すように、メサ構造11の上面、p型電流ブロック層14及びn型電流ブロック層15の

上に、MOCVD法を用いてp型クラッド層16及びp型コンタクト層17を順次成膜する。

続いて、p型コンタクト層17上にp側電極用金属層18を、基板1の裏面にn側電極用金属層19をそれぞれ形成する。

【0008】

ところで、前掲公報は、p型電流ブロック層14及びn型電流ブロック層15を選択成長させる際の問題を指摘している。即ち、エッチングマスク10を用いてp型電流ブロック層14及びn型電流ブロック層15を選択成長させる際、成長レートの違い等に起因してくぼみ又は溝の形状欠陥40が、図7に示すように、エッチングマスク10の側縁下に沿ってn型電流ブロック層15に発生する。

そして、n型電流ブロック層15の表面に発生するくぼみ40が大きいと、そこで転位が発生し易くなり、この転位がp型コンタクト層17中に伝搬することにより、作製した埋込型半導体レーザ素子のしきい値電流が増大し、レーザの発振効率が低下する。

【0009】

そこで、前掲公報は、p型及びn型電流ブロック層14、15の成長条件として、基板温度を750℃～800℃の範囲とし、V族原料ガスとIII族原料ガスの混合比（濃度比）を400以上800以下の範囲で成膜することを提案している。そして、これにより、くぼみ又は溝等の形状欠陥40の発生を抑制して、転位を低減させることができるとしている。

また、このくぼみ又は溝40が形成されなくなることにより、n型GaAs基板1上に形成されるn型電流ブロック層15の縦方向の膜厚が厚くなるので、電極18、19間に電圧を印加した場合、電流ブロック層14、15を流れる電流リーク（図7中では電流リークを矢印41で示す）は小さくなり、レーザ発振効率が向上するとしている。

【0010】

また、文献：三菱電機技報（Vol. 67, No.8(1993) 88）は、メサ構造と電流ブロック層との界面の無効電流によるレーザ発振効率の低下を指摘している。

ここで、図8を参照して、三菱電機技報の指摘を紹介する。図8は、n型In

P 基板上に形成された埋込型長波長半導体レーザ素子の要部の断面模式図である。

図 8 中、21 は n 型 InP クラッド層、22 は p 型 InP 電流ブロック層、23 は n 型 InP 電流ブロック層、24 は p 型 InP コンタクト層、25 は p 型 InP クラッド層、及び 26 は InGaAsP 活性層である。また、34 は n 型 InP 電流ブロック層 23 に発生したくぼみ、溝等の形状である。

【0011】

図 8 の中央部では、キャリアが InGaAsP 活性層 26 に注入されてレーザ発振に寄与する電流が流れ、一方、InGaAsP 活性層 26 の両側では、p 型 InP 電流ブロック層 22 / n 型 InP 電流ブロック層 23 の pn 接合構造が形成されているので、電流は流れない。

しかし、活性層 26 と電流ブロック層 22 / 23 の境界部分では、境界に沿って、レーザ発振に寄与しない無効電流 C が流れる。

【0012】

この無効電流 C は小さいほど、埋込型半導体レーザ素子のレーザの発振効率が高く、高出力特性や電流電圧特性の線形性が良好である。よって、この無効電流 C が流れる無効電流経路幅が狭いほど、電流ブロック層の抵抗が高くなり、レーザ特性にとって望ましい構造と言える。

ここで、無効電流経路幅とは、InGaAsP 活性層 26 近傍のメサ構造の側面に形成された p 型 InP 電流ブロック層 22 の厚さ（図 8 及び図 10 (a) 参照）であって、以下、無効電流経路幅 T_n と記す。正確には、図 10 (a) に示すように、 T_n は、活性層と p-クラッド層との界面の基端から n-電流ブロック層と p-電流ブロック層との界面に向かう法線の長さである。

【0013】

以上のことから、n 型基板上の埋込型半導体レーザ素子の埋込構造は、図 10 (a) に示すように、p 型電流ブロック層が活性層を越えて上方まで伸び、しかも無効電流経路幅 T_n が狭い方が望ましい。

【0014】

また、上記文献は、p 型 InP 基板上の埋込型長波長半導体レーザ素子の構造

についても同様の問題を指摘している。図9を参照して、上記文献の指摘を説明する。図9はp型InP基板上の埋込型長波長半導体レーザ素子の断面模式図である。

図9中、27はp型InPクラッド層、28はp型InP分離層、29はn型InP電流ブロック層、30はp型InP電流ブロック層、31はn型InPコンタクト層、32はn型InPクラッド層、及び33はInGaAsP活性層である。また、35はp型InP電流ブロック層30に発生したくぼみ、溝等の形状欠陥である。

一般に、キャリア濃度がほぼ同じであるとする、n型InP層の抵抗率は、p型InP層の抵抗率より約2桁ほど小さいので、n型InP層を流れる無効電流Cは、p型InP層を流れる無効電流に比較して大きくなる。そこで、p型InP基板上の埋込型長波長半導体レーザ素子では、図9に示すように、p型InP分離層28を挿入する構造が採用されている。

【0015】

それでも、活性層33と電流ブロック層28/29の境界部分では、レーザ発振に寄与しない無効電流Cが、図9に示す矢印のように、境界に沿って流れる。

n型InP基板の場合と同様に、無効電流経路幅が小さいほど、抵抗が大きくなり、無効電流Cは小さくなる。無効電流経路幅は、InGaAsP活性層33近傍のメサ構造の側面に形成されたp型InP分離層28の厚さであって、これは言い換えると、メサ構造の側面とn型InP電流ブロック層29との距離であって、以下、無効電流経路幅 T_p （図9、図10（b）参照）と記す。

【0016】

以上のことから、p型基板上的埋込型半導体レーザ素子の埋込構造は、図10（b）に示すように、第1層のp型分離層がメサ構造に沿って活性層の上方まで伸び、第2層のn型電流ブロック層はなるべく上方まで伸びないことが望ましく、更には、第3層のp型電流ブロック層が第1層のp型分離層と接触し、第2層のn型電流ブロック層を挟み込んだ構造となるのが望ましい。

【0017】

【発明が解決しようとする課題】

ところで、上述の n 型基板上に形成する埋込型半導体レーザ素子の作製に際し、電流ブロック層の成膜の際の制御技術が確立していないこともあって、前掲公報のように、たとえ基板温度を $750^{\circ}\text{C} \sim 800^{\circ}\text{C}$ の範囲とし、V 族原料ガスと III 族原料ガスの混合比（濃度比）を 400 以上 800 以下の範囲で成膜しても、再現性よく無効電流経路幅 T_n を狭くすることが極めて難しく、無効電流経路幅 T_n がばらつくことが多かった。

【0018】

また、p 型基板上に形成する埋込型半導体レーザ素子の作製に際しても、同様に、電流ブロック層の成膜の際の制御技術が確立していないので、図 9 の n 型 InP 電流ブロック層 29 が成長し過ぎて、図 11 に示すように、n 型 InP コンタクト層 31 と接触してしまったり、あるいは無効電流経路幅 T_p が大きくなってしまふことが多かった。

その結果、無効電流 C が大きくなり、レーザの発振効率は低く、高出力特性や電流電圧特性の線形性が悪く、高出力の埋込型半導体レーザ素子を再現性よく製造することが難しかった。

【0019】

そこで、本発明の目的は、形状欠陥が電流ブロック層で発生するのを防止し、無効電流経路幅を再現性良く制御できる、埋込型半導体レーザ素子の作製方法を提供することである。

【0020】

【課題を解決するための手段】

本発明者は、鋭意研究の結果、次に述べる実験に基づいて、n 型基板上の埋込型半導体レーザ素子の作製の際、無効電流経路幅 T_n は、p 型電流ブロック層成膜時の III 族元素原料ガスに対する V 族元素原料ガスのモル比率（V 族元素原料ガスのモル数 / III 族元素原料ガスのモル数、以下、同様）により制御されるということ、また、最適な無効電流経路幅 T_n と、それを実現するためのモル比率の範囲を見い出した。

【0021】

実験例 1

本実験例では、n型基板上の埋込型半導体レーザ素子の作製過程でp型電流ブロック層成膜の際、成長温度をパラメータとして、III族元素原料ガスに対するV族元素原料ガスのモル比率を変えて、無効電流経路幅 T_n の変化を求めたところ、図12に示すような結果を得た。成長温度は、610℃、640℃、660℃、670℃、及び700℃である。

実験例1により、成長温度を一定とした場合、無効電流経路幅 T_n はp型電流ブロック層成膜時のIII族元素原料ガスに対するV族元素原料ガスのモル比率によって規定されることが判る。それを規定する関係は、図12に示すように、モル比率が60から350の範囲で再現性よく無効電流経路幅 T_n を制御することができる。

【0022】

更に説明すると、III族系原料に対するV族系原料の供給比率（モル比）を図12のように変えた場合、基板上に吸着した一方の原料、例えばIII族系原料が、他方の原料、即ちV族系原料と結合して膜を形成するまでにメサ構造上を移動する距離、或いは時間が変化し、メサ構造に沿った電流ブロック層の這い上がりの度合いが変化する。

例えば、n基板上のメサ構造を埋め込むときには、原料の供給比率を10以上にして、無効電流経路幅を自在に変化させることにより、図15(a)に示すように、好ましい埋め込み形状を形成することができる。

【0023】

要約すると、供給比率を大きくしてマイグレーションを小さくすると、メサ構造に沿って電流ブロック層が這い上がり易くなって、無効電流経路幅が大きくなる。逆に、供給比率を小さくしてマイグレーションを大きくすると、電流ブロック層の這い上がり難くなって、無効電流経路幅が小さくなる。

【0024】

図14は、実験例1の結果を図12とは別の形で図示したものであって、 T_n をパラメータとして、成長温度（℃）とIII族元素原料ガスに対するV族元素原料ガスのモル比率との関係を示している。図14中、シャドー領域は好ましい成長条件を示した領域である。

【 0 0 2 5 】

実験例 2

本実験例では、n型基板上の埋込型半導体レーザ素子の作製過程でp型電流ブロック層成膜の際、III族元素原料ガスに対するV族元素原料ガスのモル比率をパラメータとして、成長温度を変えて、無効電流経路幅 T_n の変化を求めたところ、図13に示すような結果を得た。モル比率は、79及び158である。

実験例2から判るとおり、p型電流ブロック層成膜の際、モル比率が一定のとき、成長温度を610℃～700℃で変化させることにより、無効電流経路幅 T_n を制御することができる。

【 0 0 2 6 】

実験例 3

本実験例では、n型基板上の埋込型半導体レーザ素子の作製過程で無効電流経路幅 T_n を変えて作製した埋込型半導体レーザ素子の電流－微分抵抗値特性を測定し、無効電流経路幅 T_n と電流－微分抵抗値特性との関係を求めた。

その結果、実施例及び比較例を纏めた図3で明らかなように、無効電流経路幅 T_n が0.6 μm 以上であると、リーク電流が大きくなって、 P_{max} が小さくなった。ここで、 P_{max} とは、駆動電流と光出力との関係で、光出力が飽和するときの光出力値である。また、無効電流経路幅 T_n が0.15 μm 以下であると、電流－光出力特性の再現性が悪く、特性がばらついた。

【 0 0 2 7 】

以上の実験結果から、無効電流経路幅 T_n は0.15 μm を超え、かつ0.6 μm 未満の範囲にあることが必要である。図3に示すように、より好ましくは、 T_n は0.20 μm 以上0.40 μm 以下であり、更に好ましくは、 T_n は0.25 μm 以上0.35 μm 以下である。

そのためには、n型半導体基板上に埋込型半導体レーザ素子を製造する際は、p型電流ブロック層を成膜するIII族元素原料ガスに対するV族元素原料ガスのモル比率は、図12から成長温度が例えば670℃のとき、60以上350以下の範囲にすべきことが判った。

【 0 0 2 8 】

上記目的を達成するために、上述の知見に基づいて、本発明に係る n 型半導体基板上の埋込型半導体レーザ素子の製造方法は、n 型半導体基板の上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記 p 型電流ブロック層を成膜する際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が、60 以上 350 以下の範囲であることを特徴としている。

【0029】

本発明方法で、モル比率が 60 より小さいと、p 型電流ブロック層を成膜して、所定の無効電流経路幅 T_n の電流狭窄構造を形成する際の電流狭窄構造の再現性は悪くなり、無効電流経路幅 T_n がばらつくからである。一方、このモル比率が 350 より大きいと、無効電流経路幅 T_n は $0.5 \mu\text{m}$ を超えて大きくなり、無効電流が大きくなるからである。

【0030】

本発明方法で、好ましくは、p 型電流ブロック層のモル比率は 60 以上 200 以下である。モル比を 60 以上 200 以下に設定することにより、無効電流経路幅 T_n を 0.2 以上 $0.4 \mu\text{m}$ 以下に制御して、無効電流を更に減少させることができるからである。

更に好ましくは、 0.2 以上 $0.3 \mu\text{m}$ 以下の無効電流経路幅 T_n の電流狭窄構造を形成するために、p 型電流ブロック層を成膜する際のモル比率は、60 以上 100 以下である。

【0031】

また、好ましくは、p 型電流ブロック層を成膜する際のモル比率と異なるモル比率で n 型電流ブロック層を成膜する。そして、n 型電流ブロック層成膜時のモル比率は、p 型電流ブロック層成膜時のモル比と同じか、より大きいことが望ましい。

これにより、n 型電流ブロック層を形成する際、メサ構造の側面からの成長速

度が大きくなり、前述したくぼみ、溝等の形状欠陥の形成が抑制される。

【 0 0 3 2 】

p 型電流ブロック層の成膜に際し、成長温度は 630°C 以上 720°C 以下が好ましい。

【 0 0 3 3 】

本発明方法は、III 族/V 族系化合物半導体である限り、半導体基板、下部クラッド層、活性層、上部クラッド層、及び電流ブロック層の組成に制約なく適用できる。埋込型であるかぎり、メサ構造の形状には制約はない。

本発明方法によって n 型基板上に埋込型半導体レーザ素子を製造することにより、埋込型半導体レーザ素子の無効電流が小さくなり、かつ、くぼみ溝等の形状欠陥が電流狭窄構造に発生しなくなるので、しきい値電流、発振効率等のレーザの出力特性が良好で、電流電圧特性の線形性が向上した、しかも高出力で P_{max} が大きい埋込型半導体レーザ素子を再現性良く、つまり歩留り良く製造することができる。

【 0 0 3 4 】

また、n 型半導体基板上に形成された埋込型半導体レーザ素子の場合には、前述の実験結果に基づいて、本発明に係る埋込型半導体レーザ素子は、n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザ素子において、

無効電流経路幅 T_n が、 $0.15\mu\text{m} < T_n < 0.6\mu\text{m}$ であることを特徴としている。

【 0 0 3 5 】

これにより、しきい値電流、発振効率等のレーザの出力特性が良好で、電流電圧特性の線形性が向上した、しかも製品歩留りの高い高出力で P_{max} が大きい埋込型半導体レーザ素子を実現している。

【 0 0 3 6 】

好適には、無効電流経路幅 T_n が、 $0.25\mu\text{m} < T_n < 0.35\mu\text{m}$ である

。無効電流経路幅 T_n を狭くすることにより、ウエハ面内の無効電流経路幅 T_n のばらつきを補償することができる。

【0037】

また、p型基板上のメサ構造を埋め込むときには、第1層のp型分離層成膜時の原料供給比及び第2層のn型電流ブロック層成膜時の原料供給比を調整することによって、図15(b)に示すように、好ましい埋め込み形状を得ることができる。

つまり、p型半導体基板上に、下部クラッド層、活性層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p型分離層、n型電流ブロック層、及びp型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法では、p型分離層を成膜する際のIII族元素原料ガスに対するV族元素原料ガスのモル比率と、n型電流ブロック層を成膜する際のモル比率とによって、n型電流ブロック層とメサ構造の側面との間の基板の基板面に平行な最短の距離を制御する。

n型電流ブロック層とメサ構造の側面との間の基板の基板面に平行な最短の距離とは、図10(b)に示す、いわゆる無効電流経路幅 T_p である。

【0038】

また、p型半導体基板上に形成された埋込型半導体レーザ素子の場合には、即ち、p型半導体基板上に、下部クラッド層、活性層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p型分離層、n型電流ブロック層、及びp型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザ素子では、本発明に係る、n型半導体基板上に形成された埋込型半導体レーザ素子と同様の考えで、無効電流経路幅 T_p が、 $0.15\mu\text{m} < T_p < 0.6\mu\text{m}$ であるようにする。

【0039】

【発明の実施の形態】

以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体

的かつ詳細に説明する。

実施形態例 1

本実施形態例は、第 1 の発明方法に係る埋込型半導体レーザ素子の製造方法の実施形態の一例であって、図 1 (a) から (c)、及び図 2 は、それぞれ、本実施形態例の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

先ず、図 1 (a) に示すように、n 型 InP 基板 51 の上に、MOCVD 法によって既知のエピタキシャル成長条件で、n 型 InP 下部クラッド層 52、下部 GRIN-SCH 層 53、歪み多重量子井戸構造の活性層 54、上部 GRIN-SCH 層 55、及び p 型 InP 上部クラッド層 56 を、順次、成長させて、多層積層膜を形成する。

【0040】

次いで、図 1 (b) に示すように、p 型 InP 上部クラッド層 56 上にシリコン窒化膜からなるエッチングマスク 70 を形成し、続いてエッチングマスク 70 を使って、多層積層膜のうち上部クラッド層 56、上部 GRIN-SCH 層 55、活性層 54、下部 GRIN-SCH 層 53、及び下部クラッド層 52 の上部をエッチング溶液でエッチングして、エッチングマスク 70 の下面にアンダーカットされた形状のメサ構造 58 を形成する。

【0041】

次に、図 1 (c) に示すように、メサ構造 58 の側面 58a 及び裾部上面 58b 上にわたって、それぞれ、MOCVD 法を用いて、III 族元素原料ガスに対する V 族元素原料ガスのモル比率を 60 以上 350 以下の範囲で、厚さ 1 μ m の p 型 InP 電流ブロック層 59 を成膜し、更に p 型 InP 電流ブロック層 59 の形成時より大きいモル比率で厚さ 1 μ m の n 型 InP 電流ブロック層 60 を成膜して、メサ構造 58 を埋め込む。

【0042】

p 型 InP 電流ブロック層 59 の成膜では、III 族原料ガスとして、例えばトリメチルインジウム (TMIn)、V 族原料ガスとして、例えばホスフィン (PH₃)、ドーピングガスとして、例えばジエチル亜鉛 (DEZn) を用いる。

また、n型InP電流ブロック層60の成膜では、III族及びV族の原料ガスとして、例えばp型InP電流ブロック層59と同じ原料ガスを用い、ドーピングガスとして、例えば硫化水素(H_2S)を用いる。

【0043】

次いで、図2に示すように、メサ構造58上及び電流ブロック層59、60上に、それぞれ、MOCVD法によって、p型InP上部クラッド層61及びp型GaInAsPキャップ層62を形成する。

次いで、p型GaInAsP層キャップ層62上にp側電極63を形成し、n型InP基板51の裏面を研磨して全体の厚みを $0.1\mu\text{m}$ 程度にした後、その研磨面にn側電極64を形成する。

【0044】

実施例1

上述の実施形態例1の方法に従い、p型InP電流ブロック層59成長の際のIII/Vモル比が80、及びn型InP電流ブロック層60成長の際のIII/Vモル比が158で、かつ成長温度が 650°C で、p型InP電流ブロック層59及びn型InP電流ブロック層60を成膜して、メサ構造58を埋め込み、更に、上部クラッド層61及びキャップ層62を成膜し、電極を形成した。次いで、全体を劈開して、共振器長 1300nm をチップを形成し、一方の劈開面に低反射膜を、他方の劈開面に高反射膜を成膜して、発振波長帯域が $1.45\sim 1.50\mu\text{m}$ の半導体レーザ素子を実施例1として作製した。

電子顕微鏡で測定した無効電流経路幅 T_n は、表1に示すように、 $0.19\mu\text{m}$ であった。また、最大光出力(P_{max})及びしきい値電流(I_{th})を測定したところ、図3の実施例1の点及び図4の(1)点に示すように、それぞれ、約 350mW 、及び約 35mA であった。ここで、最大光出力(P_{max})とは、駆動電流と光出力との関係を示す図で、光出力が飽和するときの光出力値である。

【表1】

番号	基板の導電型	p型電流ブロック層のモル比	n型電流ブロック層のモル比	無効電流経路幅 T_n (μm)	成長温度 ($^{\circ}C$)
実施例1	n	80	158	0.19	650
実施例2	n	80	158	0.21	650
実施例3	n	316	158	0.41	650
実施例4	n	316	158	0.45	650
実施例5	n	316	158	0.45	650
実施例6	n	158	158	0.30	650
比較例1	n	20	158	0.10	650
比較例2	n	158	158	0.65	610

【0045】

実施例2

実施例1と同じ条件で、発振波長帯域が $1.45 \sim 1.50 \mu m$ の半導体レーザ素子を作製し、実施例2とした。電子顕微鏡で測定した無効電流経路幅 T_n は、表1に示すように、実施例1とほぼ同じ $0.21 \mu m$ であった。

また、実施例2の埋込型半導体レーザ素子の最大光出力(P_{max})及びしきい値電流(I_{th})を測定したところ、それぞれ、図3の実施例2の点及び図4の(2)点に示す通り、ほぼ実施例1と同じであった。

即ち、本実施形態例によれば、成長温度及びIII/Vモル比を規定することにより、高い再現性で所定の無効電流経路幅 T_n の半導体レーザ素子を作製することができる。

【0046】

実施例3から6

p型InP電流ブロック層59及びn型InP電流ブロック層60を成膜する際のモル比が、それぞれ、表1に示すように、実施例1と異なることを除いて、実施例1と同様にして、発振波長帯域が $1.45 \sim 1.50 \mu m$ の実施例3から

6の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_n は、表1に示す通りであった。

また、実施例3から6の埋込型半導体レーザ素子の最大光出力(P_{max})及びしきい値電流(I_{th})を測定したところ、それぞれ、図3及び図4に示す通りであった。尚、図4中、(3)点～(6)点は、それぞれ、実施例3から6の測定結果を示す。

【0047】

比較例1及び2

実施例の製造方法を評価するために、p型InP電流ブロック層59及びn型InP電流ブロック層60を成膜する際のモル比が、それぞれ、表1に示すように、第1の発明方法で特定した範囲外にあることを除いて、実施例1と同様にし、発振波長帯域が $1.45 \sim 1.50 \mu m$ の比較例1及び2の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_n は、それぞれ、表1に示す通りであった。

比較例1の埋込型半導体レーザ素子は、光出力が小さすぎて、正確な最大光出力(P_{max})及びしきい値電流(I_{th})を測定することが出来なかった。また、比較例2の埋込型半導体レーザ素子の最大光出力(P_{max})及びしきい値電流(I_{th})を測定したところ、それぞれ、図3の(比較例2)点及び図4の(比較例2)点に示す通りであった。

【0048】

実施例1～6の埋込型半導体レーザ素子は、無効電流経路幅 T_n が 0.19 から $0.45 \mu m$ の範囲に制御され、これにより、リーク電流が小さくなって、図3及び図4に示すように、最大光出力(P_{max})が大きく、しきい値電流(I_{th})が小さかった。

なかでも、無効電流経路幅 T_n が $0.3 \mu m$ である実施例6の埋込型半導体レーザ素子は、無効電流経路幅 T_n が $0.2 \mu m$ 近傍の実施例1及び2、並びに無効電流経路幅 T_n が $0.45 \mu m$ 近傍の実施例3から5に比べて、最大光出力(P_{max})が $360 mW$ と最も大きく、しきい値電流(I_{th})は $34 mA$ と最も低かった。つまり、無効電流経路幅 T_n が $0.3 \mu m$ 近傍、例えば無効電流経路幅

T_n は $0.25\mu m < T_n < 0.35\mu m$ の範囲が最も好ましい。

【0049】

また、実施例1と実施例2との結果、及び実施例3から実施例5の結果から判るように、成長温度及びIII/Vモル比を規定することにより、無効電流経路幅 T_n をほぼ同じ大きさにすることができる。つまり、成長温度及びIII/Vモル比を規定することにより、高い再現性で所定の無効電流経路幅 T_n の半導体レーザー素子を作製することができる。

【0050】

一方、比較例1の埋込型半導体レーザー素子は、p型電流ブロック層成膜時のモル比率が本発明方法で特定した値より小さいために、無効電流経路幅 T_n が $0.15\mu m$ と小さ過ぎて、光出力が不足した。逆に、比較例2の埋込型半導体レーザー素子は、p型電流ブロック層成膜時のモル比率が本発明方法で特定した値より大きいために、無効電流経路幅 T_n が $0.60\mu m$ と大きく、その結果、リーク電流が大きくなるために、最大光出力(P_{max})が $320mW$ 以下であり、しきい値電流(I_{th})は約 $48mA$ にも達する。

【0051】

【発明の効果】

以上説明したように、本発明方法によれば、n型基板上に埋込型半導体レーザー素子を形成する際、電流ブロック層或いは分離層の成膜の際のIII族元素原料ガスに対するV族元素原料ガスのモル比率を規定することにより、埋込層表面のくぼみ、溝等の形状欠陥の発生を抑制し、しかも所定の無効電流経路幅を備えた電流狭窄構造を有する埋込型半導体レーザー素子を再現性よく、作製することができる。

本発明を適用することにより、レーザーの発振効率が大きく、リーク電流が小さく、高出力特性や電流電圧特性の線形性に優れた、高出力な埋込型半導体レーザー素子を再現性よく、従って高い製品歩留りで製造することができる。

【図面の簡単な説明】

【図1】

図1(a)から(c)は、それぞれ、実施形態例1の方法に従って埋込型半導

体レーザ素子を製造した際の工程毎の断面図である。

【図 2】

図 1 (c) に続いて、実施形態例 1 の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

【図 3】

実施例 1 ～ 6 及び比較例 1 ～ 2 の T_n と P_{max} との関係を示すグラフである。

【図 4】

実施例 1 ～ 6 及び比較例 1 ～ 2 の T_n と I_{th} との関係を示すグラフである。

【図 5】

従来の埋込型半導体レーザ素子の多層積層膜構造の断面図である。

【図 6】

図 6 (a) ～ (c) は、それぞれ、従来例の埋込型半導体レーザ素子の製造方法を説明する工程図である。

【図 7】

従来の埋込型半導体レーザ素子の電流狭窄構造にくぼみが発生した様子を示す多層積層膜構造の断面図である。

【図 8】

従来の n 型 I n P 基板上的長波長半導体レーザ素子の多層積層膜構造の断面模式図である。

【図 9】

従来の p 型 I n P 基板上的長波長半導体レーザ素子の多層積層膜構造の断面模式図である。

【図 1 0】

図 1 0 (a) 及び (b) は、それぞれ、n 型基板上及び p 型基板上に形成した望ましい形状電流狭窄構造を示す断面模式図である。

【図 1 1】

p 型基板上に形成した従来の埋込型半導体レーザ素子の電流狭窄構造の問題を説明する断面模式図である。

【図 1 2】

成長温度をパラメータとして、原料ガスの供給モル比率（V族ガスのモル流量／III族ガスのモル流量）と無効電流経路幅 T_n の関係を示すグラフである。

【図 1 3】

原料ガスの供給モル比率（V族ガスのモル流量／III族ガスのモル流量）をパラメータとして、成長温度と無効電流経路幅 T_n の関係を示すグラフである。

【図 1 4】

実験例 1 の結果を図 1 2 とは別の形で図示したものであって、 T_n をパラメータとして、成長温度（℃）とIII族元素原料ガスに対するV族元素原料ガスのモル比率との関係を示している。

【図 1 5】

図 1 5（a）は実験例 1 の結果を説明する電流狭窄構造の断面模式図、及び図 1 5（b）はp型基板上に形成した埋込型半導体レーザ素子の好ましい電流狭窄構造の断面模式図である。

【符号の説明】

- 1 n型GaAs基板
- 2 n型InGaP下側クラッド層
- 3 活性層
- 4 p型InGaP上側クラッド層
- 5 InGaAsP層
- 6 GaAs層
- 7 InGaAs層
- 8 GaAs層
- 9 InGaAsP層
- 10 エッチングマスク
- 11 メサ構造
- 12 メサ構造の側面
- 13 メサ構造の裾部の上面
- 14 p型電流ブロック層
- 15 n型電流ブロック層

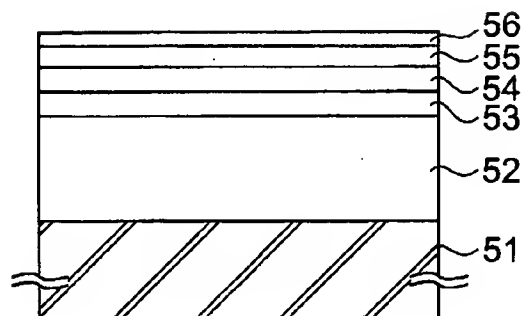
- 16 p型クラッド層
- 17 p型コンタクト層
- 18 p型電極金属層
- 19 n型電極金属層
- 20 n型基板上に形成した従来の埋込型半導体レーザ素子
- 21 n型InPクラッド層
- 22 p型InP電流ブロック層
- 23 n型InP電流ブロック層
- 24 p型InPコンタクト層
- 25 p型InPクラッド層
- 26 InGaAsP活性層
- 27 p型InPクラッド層
- 28 p型InP分離層
- 29 n型InP電流ブロック層
- 30 p型InP電流ブロック層
- 31 n型InPコンタクト層
- 32 n型InPクラッド層
- 33 InGaAsP活性層
- 34 くぼみ
- 35 くぼみ
- 40 くぼみ
- 41 電流リーク
- 51 n型InP基板
- 52 n型InP下部クラッド層
- 53 下部GRIN-SCH層
- 54 活性層
- 55 上部GRIN-SCH層
- 56 p型InP上部クラッド層
- 58 メサ構造

- 59 p型InP電流ブロック層
- 60 n型InP電流ブロック層
- 61 p型InP上部クラッド層
- 62 p型GaInAsPキャップ層
- 63 p側電極
- 64 n側電極
- 70 エッチングマスク
- C 無効電流

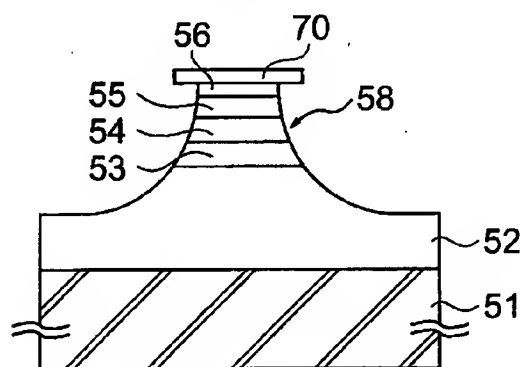
【書類名】 図面

【図 1】

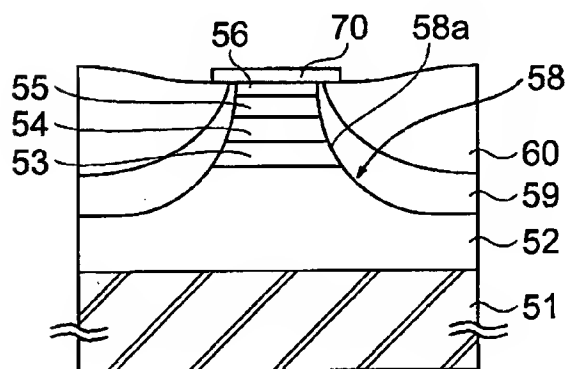
(a)



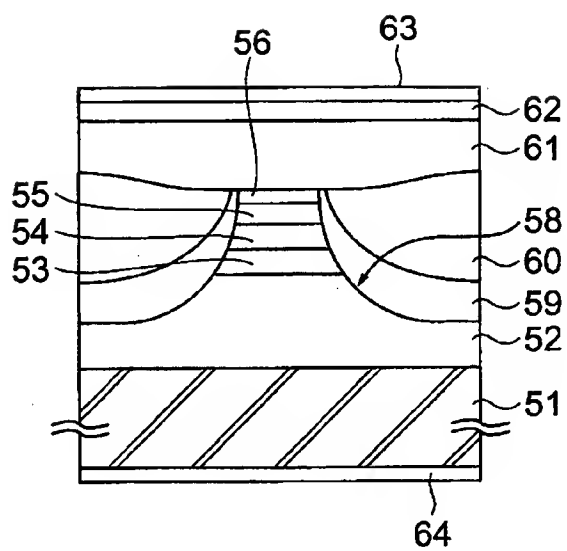
(b)



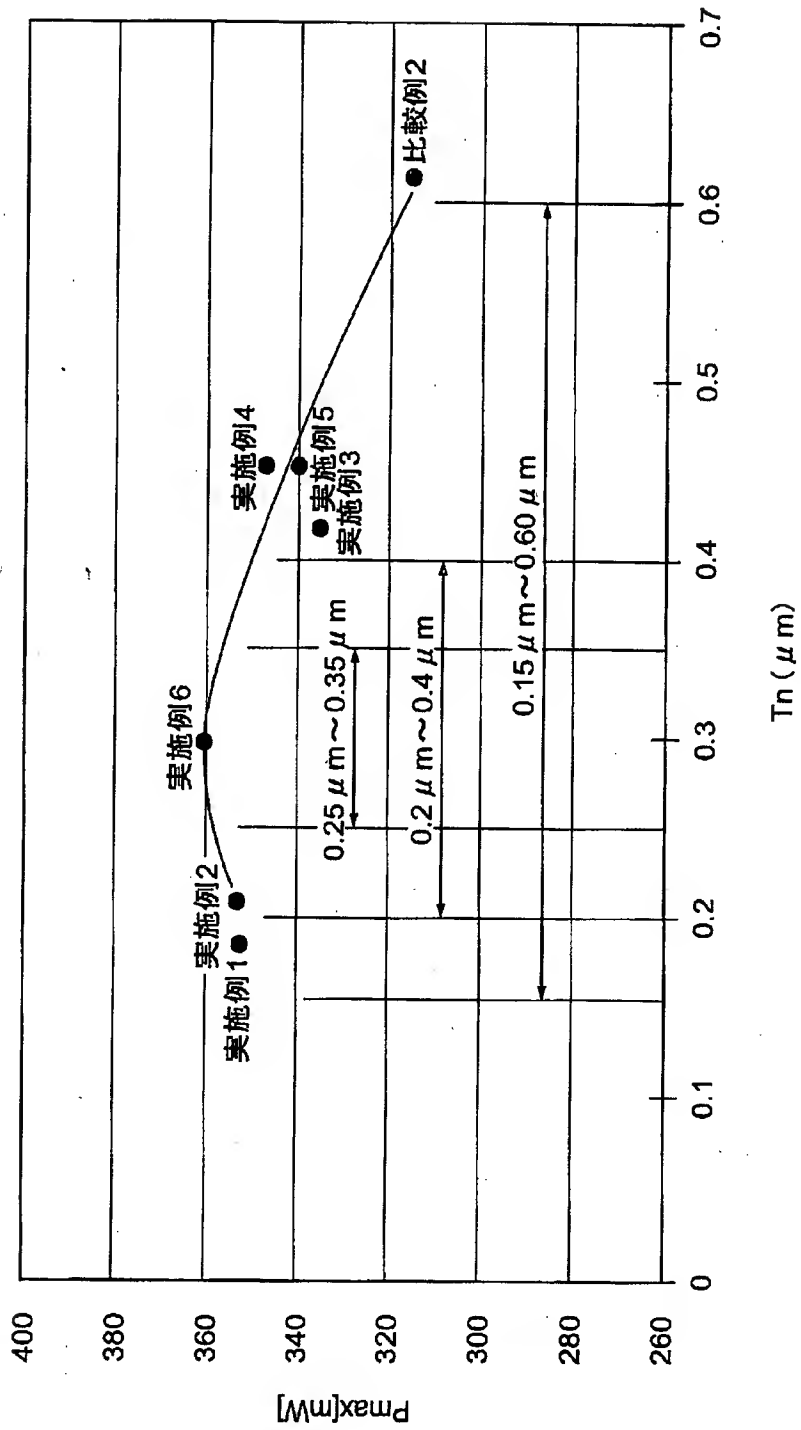
(c)



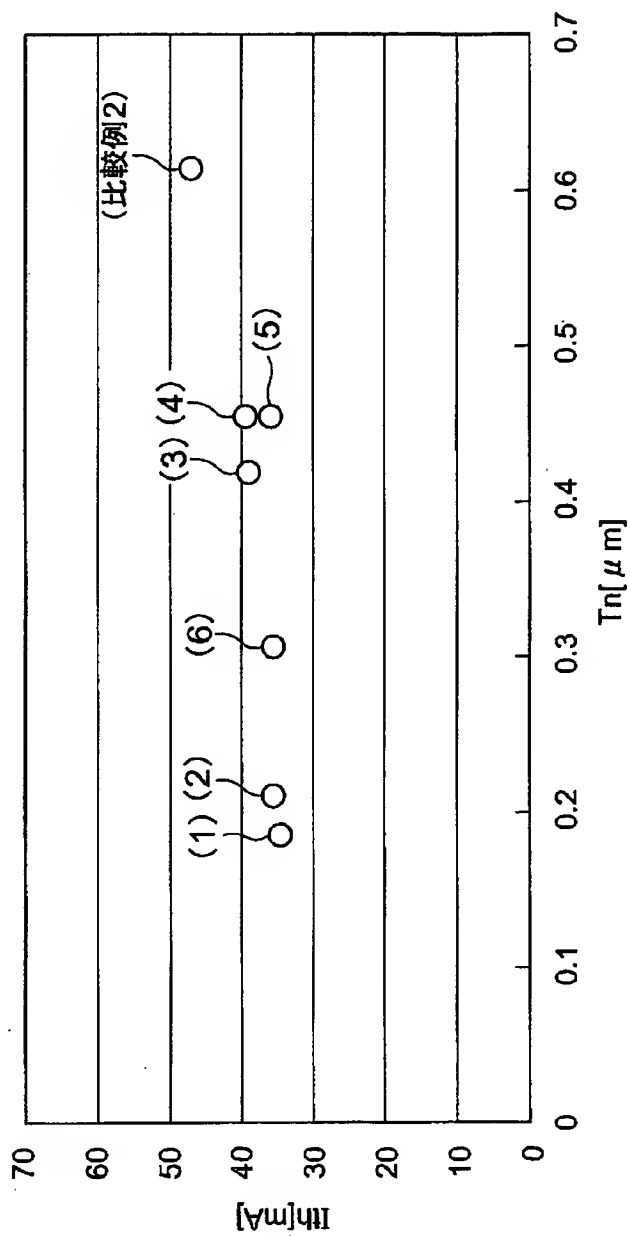
【図 2】



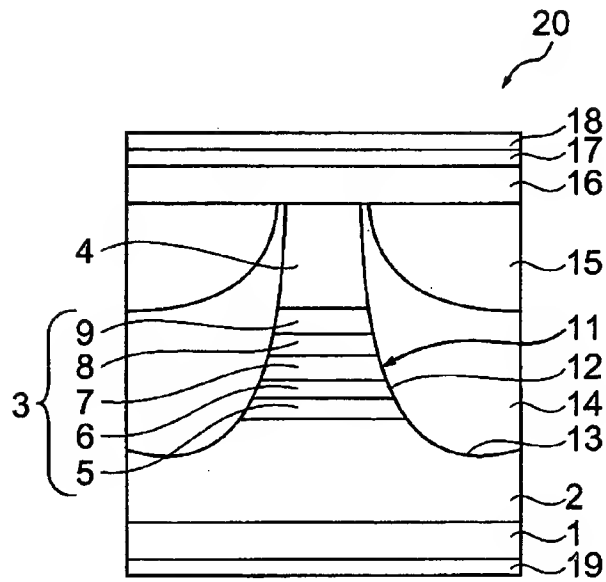
【図3】



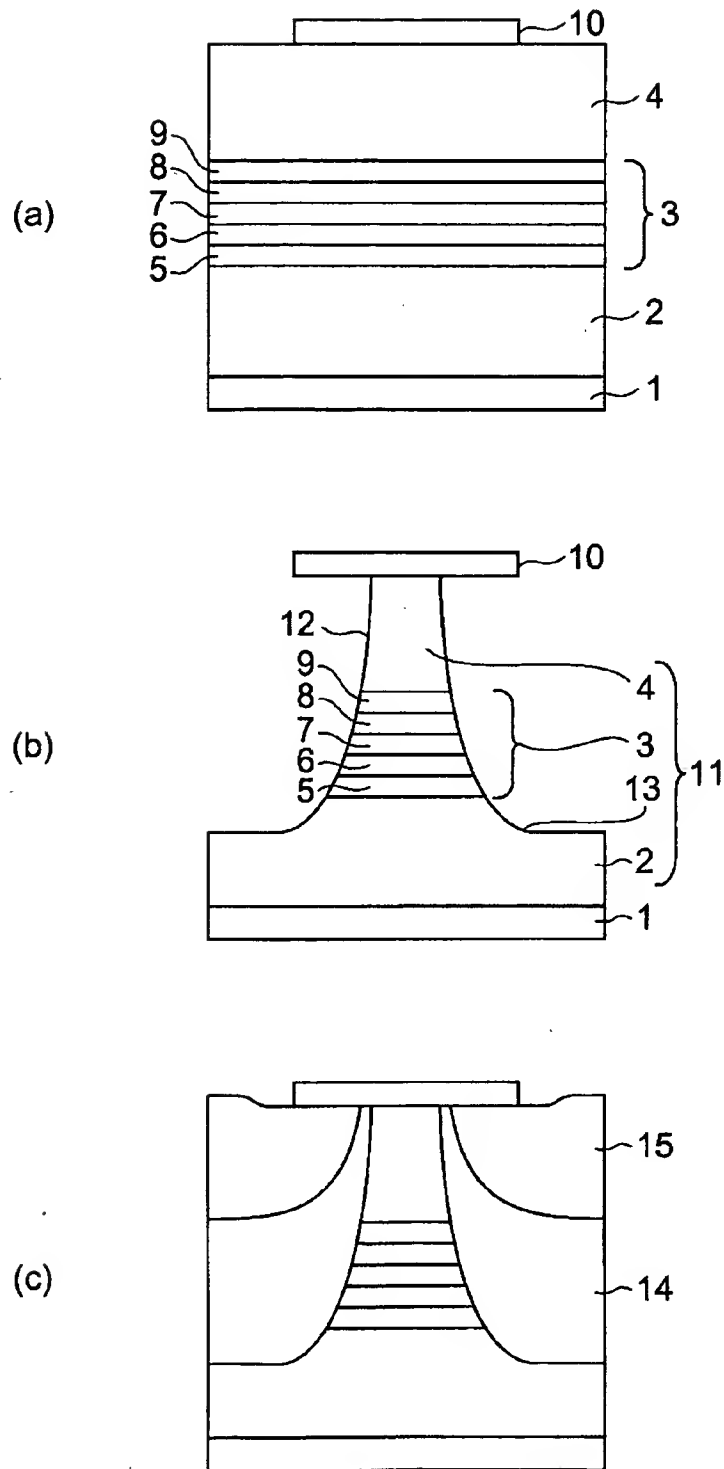
【図4】



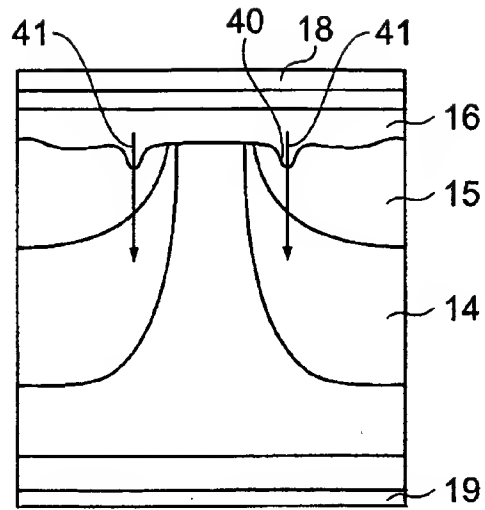
【図 5】



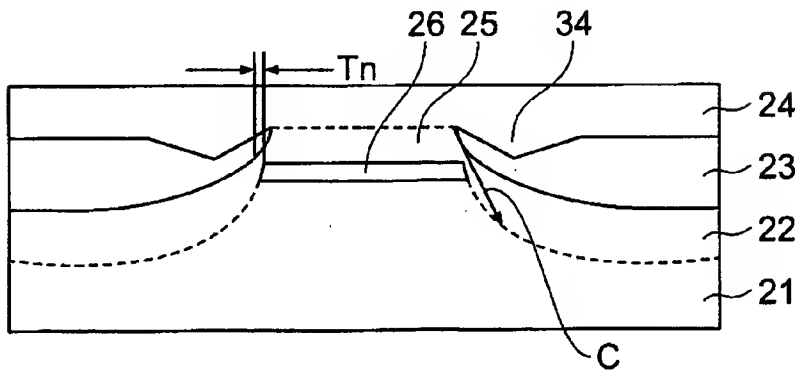
【図6】



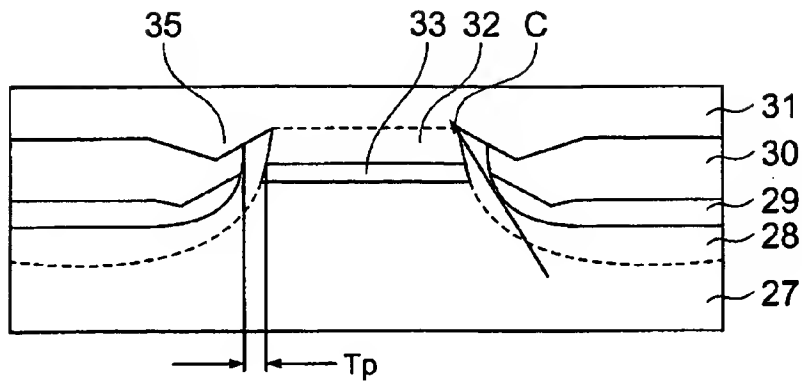
【図7】



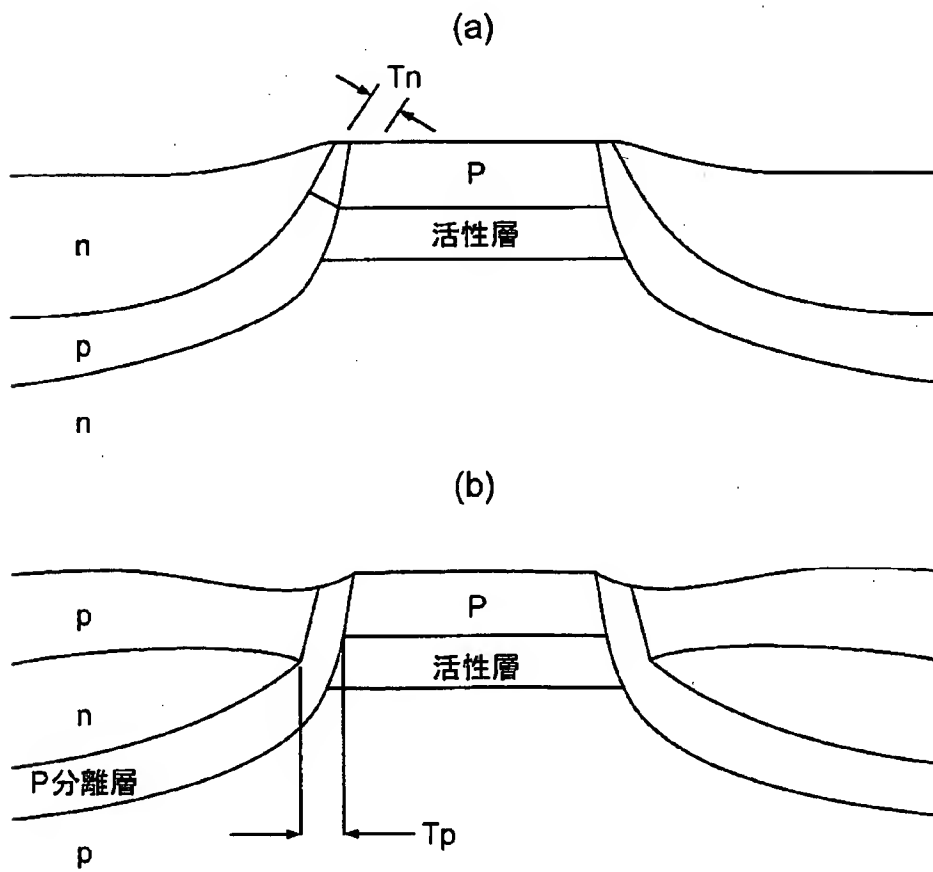
【図8】



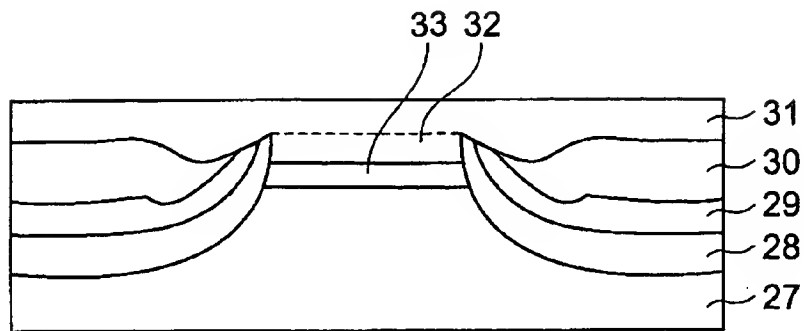
【図9】



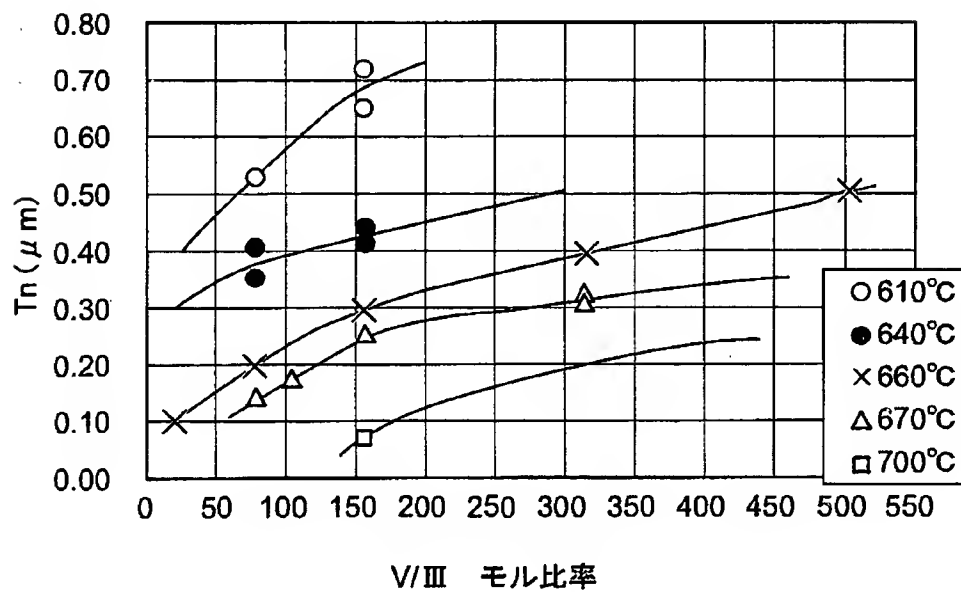
【図10】



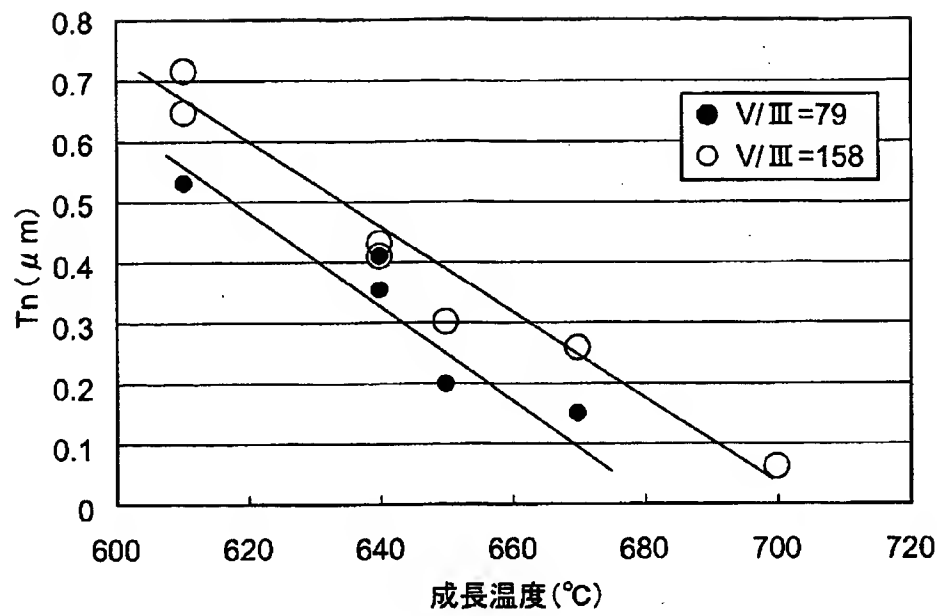
【図 1 1】



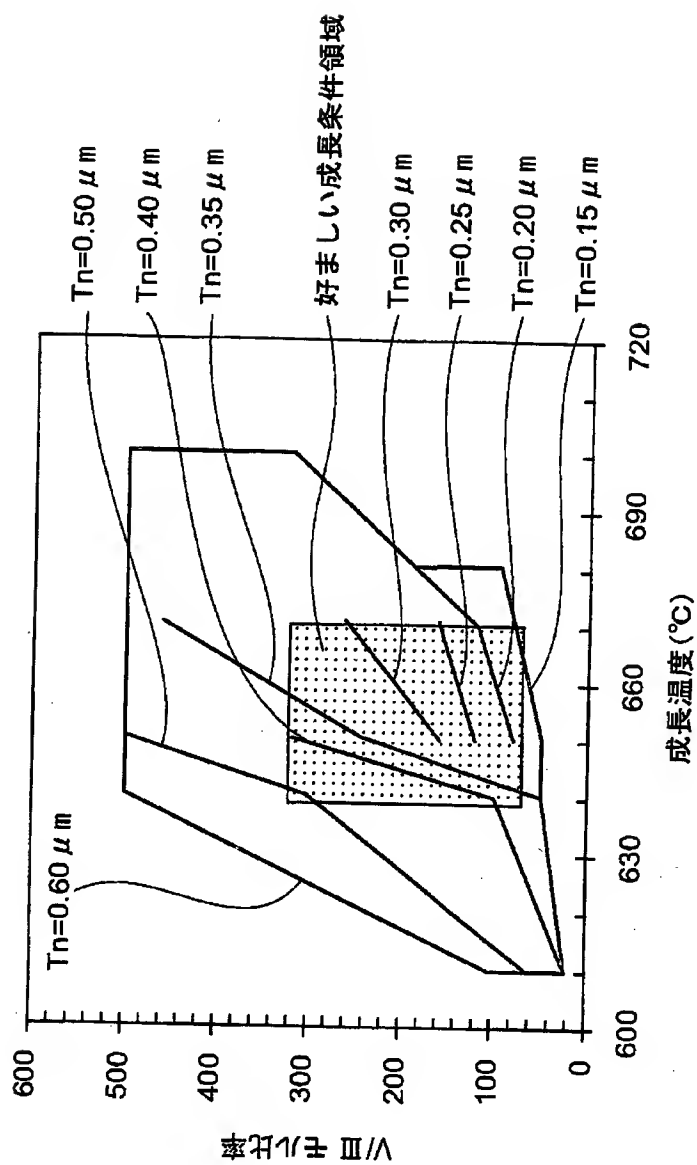
【図 1 2】



【図 13】

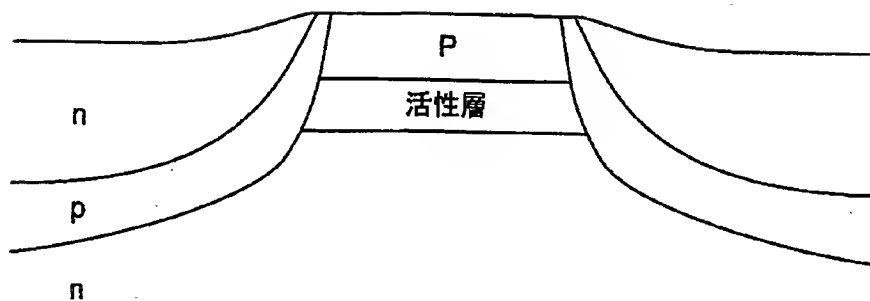


【図14】

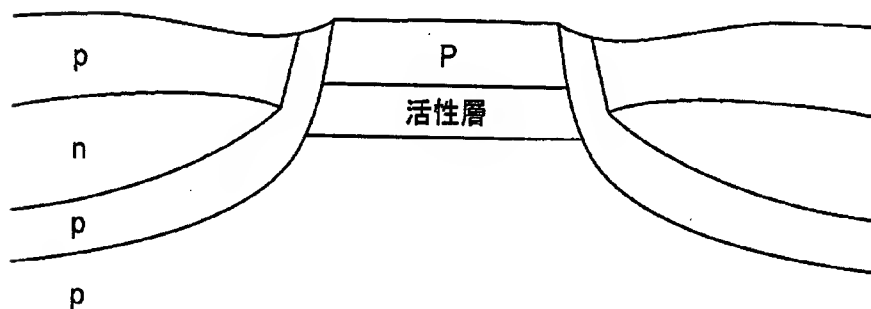


【図15】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 n型基板上に埋込型半導体レーザ素子を作製する際、電流狭窄構造に形状欠陥が生じたり、無効電流経路幅を再現性よく制御することが困難であったりするために、無効電流が増大し、電流電圧特性の線形性が悪かった。そこで、電流狭窄構造の形状欠陥の発生を防止し、無効電流経路幅を再現性良く制御できる、埋込型半導体レーザ素子の製造方法を提供する。

【解決手段】 n型基板上に歪量子井戸埋込型半導体レーザを作製する際、無効電流経路幅 T_n は、p型電流ブロック層成膜時のIII族元素原料ガスに対するV族元素原料ガスのモル比率により制御され、モル比率は60～350である。

【選択図】 図15

出 願 人 履 歴 情 報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目6番1号
氏 名 古河電気工業株式会社